

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-135386
 (43)Date of publication of application : 22.05.1998

(51)Int.CI. H01L 23/40
 H01L 23/36
 // H01L 21/60

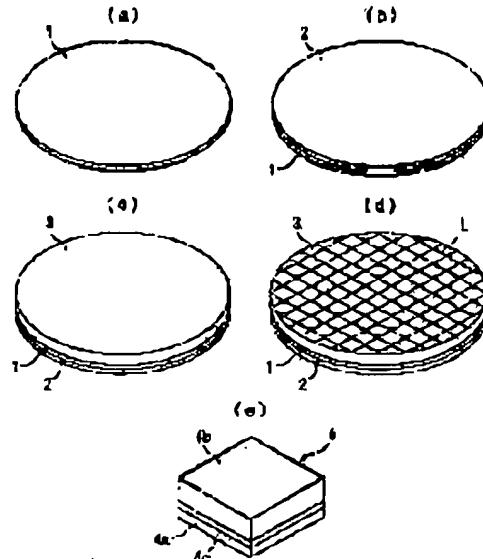
(21)Application number : 08-287148 (71)Applicant : TAIYO YUDEN CO LTD
 (22)Date of filing : 29.10.1996 (72)Inventor : SUZUKI YOSHIKI
 MURAIDA MICHIO
 NAKADA YOSHISHIGE
 SUZUKI KAZUTAKA

(54) MANUFACTURING METHOD OF SEMICONDUCTOR BARE CHIP

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain semiconductor bare chips having radiation plates integrated therewith, by such a simple procedure that after sticking one radiation plate on a wafer, the resultant product is merely divided into the bare chips.

SOLUTION: On a wafer 1, electronic circuits are formed in a predetermined array. Then, to the rear surface of the wafer 1, a bonding material 2 is applied with a uniform thickness. As the bonding material 2, there is used a silicon bonding material having both an elasticity capable of absorbing a stressed strain caused by the difference between thermal expansion coefficients and an excellent thermal conductivity. Then, on the coated surface of the wafer 1 with the bonding material 2, a radiation plate 3 having the same outer diameter as the wafer 1 and made of a thermally conductive metal is so stuck that no bubble is included between them. Then, pressing relatively the radiation plate 3 against the wafer 1, the excess bonding material 2 is extruded from between the wafer 1 and the radiation plate 3 to make the thickness of the bonding material 2 as small as possible. Then, dividing the wafer 1 with the stuck radiation plate 3 thereon into individual chips by lines L laid along the boundaries among the formed circuits, semiconductor bare chips 4 are obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135386

(49) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.^a
 H 01 L 23/40
 23/36
 // H 01 L 21/60 3 1 1

識別記号 F I
 H 01 L 23/40 F
 21/60 3 1 1 S
 23/36 C

審査請求 未請求 請求項の数 3 OL (全 3 頁)

(21) 出願番号 特願平8-287148
 (22) 出願日 平成8年(1996)10月29日

(71) 出願人 000204284
 太陽誘電株式会社
 東京都台東区上野6丁目16番20号
 (72) 発明者 鈴木 芳規
 東京都台東区上野6丁目16番20号 太陽誘
 電株式会社内
 (72) 発明者 村井田 道夫
 東京都台東区上野6丁目16番20号 太陽誘
 電株式会社内
 (72) 発明者 中田 圭成
 東京都台東区上野6丁目16番20号 太陽誘
 電株式会社内
 (74) 代理人 弁理士 吉田 精李

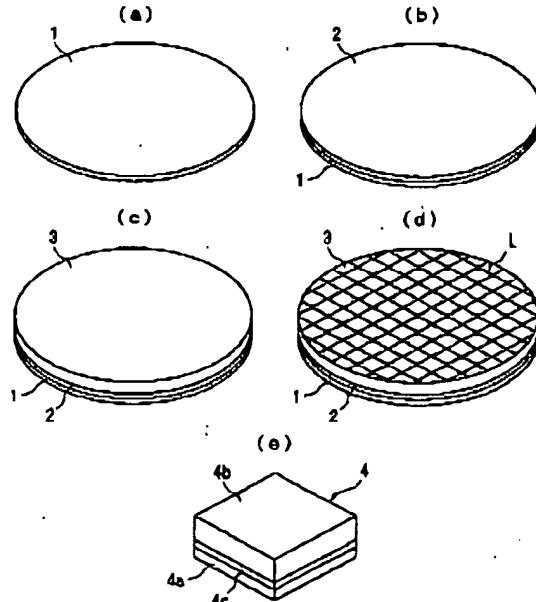
最終頁に続く

(54) 【発明の名称】 半導体ペアチップの製造方法

(57) 【要約】

【課題】 放熱板の後付けを不要とした半導体ペアチップの製造方法を提供する。

【解決手段】 電子回路が所定配列で形成されたウエフア1の裏面に接着材2を介して放熱板3を張り合わせた後、放熱板3が張り合わされたウエフア1を個々のチップに分離することにより、放熱部4bを一体に備えた半導体ペアチップ4を得る。



(2)

特開平10-135386

2

1

【特許請求の範囲】

【請求項1】 電子回路が所定配列で形成されたウエフアの裏面に接着材を介して放熱板を張り合わせた後、放熱板が張り合わされたウエフアを個々のチップに分離することを特徴とする半導体ペアチップの製造方法。

【請求項2】 接着材硬化前に放熱板をウエフアに相対的に押し付けて余分な接着材を押し出す。

ことを特徴とする請求項1記載の半導体ペアチップの製造方法。

【請求項3】 接着材としてシリコン系接着材を用いた、

ことを特徴とする請求項1または2記載の半導体ペアチップの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フリップチップボンディング法によって回路基板等に接続される半導体ペアチップの製造方法に関するものである。

【0002】

【従来の技術】この種の半導体ペアチップは、ウエフアの状態で拡散、開孔、配線、電極形成、保護膜形成、電気特性検査等の工程を実施した後、該ウエフアをダイシング法やスクライバ法によって個々のチップに分離することにより製造されている。

【0003】この半導体ペアチップの放熱対策としては、半導体ペアチップを回路基板に搭載した後これに放熱グリス等を介して放熱板を取り付ける方式が一般に採用されている。

【0004】

【発明が解決しようとする課題】上記従来の放熱対策は、半導体ペアチップに個別に放熱板を後付けする方式であるため、半導体ペアチップの種類毎に大きさや厚みの異なる放熱板を用意する必要があると共に、接着剤や放熱グリスの塗布作業に加え、放熱板の搭載作業を別途要する面倒があり、後付けに係るコスト増加を否めない不具合がある。

【0005】本発明は上記事情に鑑みてなされたもので、その目的とするところは、放熱板の後付けを不要とした半導体ペアチップの製造方法を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するため、本発明に係る半導体ペアチップの製造方法は、電子回路が所定配列で形成されたウエフアの裏面に接着材を介して放熱板を張り合わせた後、放熱板が張り合わされたウエフアを個々のチップに分離することをその主たる特徴としている。

【0007】本発明に係る半導体ペアチップの製造方法によれば、ウエフアに放熱板を張り付けてからこれを分離するだけの簡単な手順にて、放熱部を一体に備えた半導体ペアチップを得ることができる。

10

離するだけの簡単な手順にて、放熱部を一体に備えた半導体ペアチップを得ることができる。

【0008】

【発明の実施の形態】図1は本発明の一実施形態を示すもので、図中の1はウエフア、2は接着材、3は放熱板、Lは分離ライン、4は半導体ペアチップである。

【0009】半導体ペアチップの製造に際しては、まず、図1(a)に示すように、シリコン、G a A s 等から成るウエフア1に、拡散、開孔、配線、電極形成、保護膜形成、電気特性検査等の工程を実施してIC、L S I等の電子回路を所定配列で形成する。ウエフア1への回路形成手順は周知のものと同じであるためここでの説明を省略する。

【0010】次に、同図(b)に示すように、ウエフア1の裏面(回路形成面とは反対側の面)に接着材2を均一な厚みで塗布する。この接着材2には周知の接着材を種々用いることが可能であるが、半田やろう材等を用いるとウエフア1と放熱板3とが強固に結合され、両者の熱膨張係数の差による応力歪みを原因としてクラックが発生する恐れがあるので、好ましくは、この応力歪みを吸収可能な弾力性を持ち且つ熱伝導性に優れたシリコン系接着材を使用する。

【0011】次に、同図(c)に示すように、ウエフア1の接着材塗布面に、ウエフア1と同一外径を有する放熱板、例えば熱伝導性の良い金、銀、アルミニウム等の金属から成る放熱板3を気泡が入らぬようにして張り付ける。勿論、放熱板3の一面に上記接着材2を塗布してから、これをウエフア1の回路形成面とは反対側の面に張り合わせるようにしてよい。放熱板3の厚みはウエフア1に形成された電子回路の発热量に応じて適宜選定される。

【0012】そして、接着材硬化前に放熱板3をウエフア1に相対的に押し付け、ウエフア1と放熱板3の間から余分な接着材2を押し出してその厚みを極力薄くする。押し出された接着材は硬化後に取り除く。

【0013】次に、同図(d)に示すように、放熱板3が張り合わされたウエフア1を、周知のダイシング法やスクライバ法によって形成回路の境界に沿ったライン上で個々のチップに分離し、同図(e)に示すような半導体ペアチップ4を得る。

【0014】この半導体ペアチップ4は、矩形状のチップ部4aと放熱部4bとが接着材層4cを介して上下に結合した構造を有しており、放熱部4bが外側に向くようにしてフリップチップボンディング法により回路基板等に接続される。

【0015】上述の実施形態によれば、ウエフア1に放熱板3を張り付けてからこれを分離するだけの簡単な手順にて、放熱部4bを一体に備えた半導体ペアチップ4を得ることができるので、従来のように半導体ペアチップに個別に放熱板を後付けする面倒がなく、後付けに係

50

(3)

特開平10-135386

4

るコスト増加を回避できる利点がある。

【0016】また、接着材2として、弾力性を持ち且つ熱伝導性に優れたシリコン系接着材を用いれば、ウエファ1と放熱板3との熱膨張係数の差による応力歪みを吸収してクラック発生を未然に防止できる利点がある。

【0017】

【発明の効果】以上詳述したように、本発明によれば、ウエファに放熱板を張り付けてからこれを分離するだけの簡単な手順にて、放熱部を一体に備えた半導体ペアチ*

*ップを得ることができるので、従来のように半導体ペアチップに個別に放熱板を後付けする面倒がなく、後付けに係るコスト増加を回避できる利点がある。

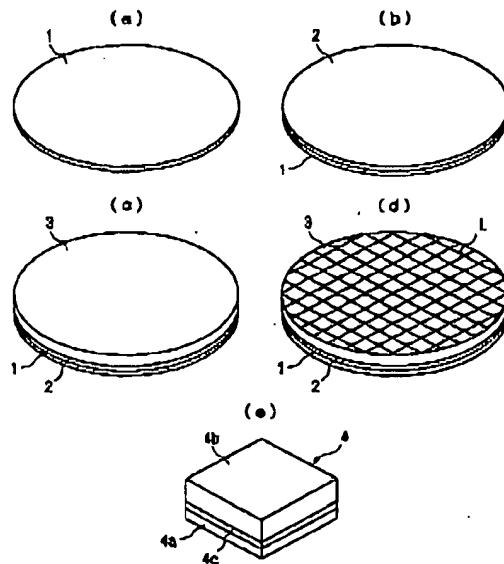
【図面の簡単な説明】

【図1】本発明の一実施形態を示す図

【符号の説明】

1…ウエファ、2…接着材、3…放熱板、L…分離ライン、4…半導体ペアチップ、4a…チップ部、4b…放熱部、4c…接着材層。

【図1】



フロントページの続き

(72)発明者 鈴木 一高

東京都台東区上野6丁目16番20号 太陽誘
電株式会社内